

Attorney Docket No.: 5649-1102

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Lee et al.

Application No.: 10/622,278

Group Art Unit: 2818

Filed: July 18, 2003

For: **READ-WHILE-WRITE FLASH MEMORY DEVICES HAVING LOCAL
ROW DECODER CIRCUITS ACTIVATED BY SEPARATE READ AND
WRITE SIGNALS**

December 19, 2003

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

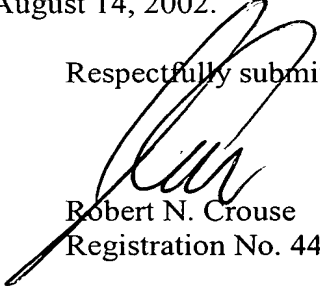
SUBMITTAL OF PRIORITY DOCUMENT

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of the
following Korean priority application:

10-2002-0048045, filed August 14, 2002.

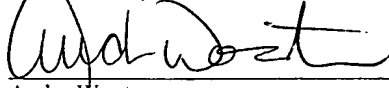
Respectfully submitted,


Robert N. Crouse
Registration No. 44,635

Myers Bigel Sibley & Sajovec
PO Box 37428
Raleigh NC 27627
Tel (919) 854-1400
Fax (919) 854-1401
Customer No.: 20792

Certificate of Mailing under 37 CFR 1.8 (or 1.10)

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on December 19, 2003.


Audra Wooten



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2002-0048045
Application Number

출원 년 월 일 : 2002년 08월 14일
Date of Application AUG 14, 2002

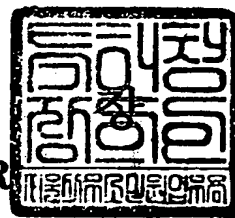
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 07 월 24 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0005
【제출일자】	2002.08.14
【발명의 명칭】	레이아웃 면적을 줄이고 बैं크 마다 독립적인 동작을 수행할 수 있는 디코더를 갖는 플래쉬 메모리 장치
【발명의 영문명칭】	Flash memory device having decoder to reduce chip area and to implement independent operation of each bank
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	이승근
【성명의 영문표기】	LEE, SEUNG KEUN
【주민등록번호】	661206-1011411
【우편번호】	463-010
【주소】	경기도 성남시 분당구 정자동 상록마을 임광아파트 407동 202호
【국적】	KR
【발명자】	
【성명의 국문표기】	남가표
【성명의 영문표기】	NAM, GA PYO
【주민등록번호】	671001-1347936
【우편번호】	442-739

【주소】 경기도 수원시 팔달구 영통동 황골마을 955-1 주공1단지아파트 151동 1904호
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
 임창현 (인) 대리인
 권혁수 (인)
【수수료】

【기본출원료】	20 면	29,000 원
【가산출원료】	1 면	1,000 원
【우선권주장료】	0 건	0 원
【심사청구료】	5 항	269,000 원
【합계】	299,000 원	

【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】

【요약】

레이아웃 면적을 줄이고 뱅크 마다 독립적인 동작을 수행할 수 있는 디코더를 갖는 플래쉬 메모리 장치가 개시된다. 본 발명의 플래쉬 메모리 장치는 다수개의 뱅크들과 글로벌 디코더들, 그리고 로컬 디코더들을 포함한다. 글로벌 디코더들은 복수개의 메모리 셀들이 배열되는 뱅크들의 로우 배열 방향으로 나누어진 매트릭스 블록들 마다에 위치하고, 독출 어드레스 신호들과 기입 어드레스 신호들에 각각 응답하여 글로벌 독출 신호와 글로벌 기입 신호를 발생한다. 로컬 디코더는 매트릭스 블록들 내 섹터들 마다에 위치하고, 독출 섹터 선택 신호에 응답하여 글로벌 독출 신호를, 그리고 기입 섹터 선택 신호에 응답하여 글로벌 기입 신호를 워드라인 인에이블 신호로 전달하고, 워드라인 인에이블 신호에 응답하여 워드라인 구동 신호를 워드라인으로 전달한다. 따라서, 본 발명의 플래쉬 메모리 장치에 의하면, 하나의 매트릭스 블록마다 하나의 글로벌 디코더를 두어 레이아웃 면적을 줄인다. 그리고 글로벌 독출 신호 및 글로벌 기입 신호와 섹터 독출 신호 및 섹터 기입 신호에 응답하여 선택되는 섹터의 워드라인을 인에이블시키기 때문에 선택된 섹터가 속하는 각 뱅크 마다 독립적으로 독출 동작과 기입 동작이 이루어진다.

【대표도】

도 3

【색인어】

플래쉬 메모리 장치, 워드라인 디코더, 글로벌 디코더, 로컬 디코더

【명세서】

【발명의 명칭】

레이아웃 면적을 줄이고 बैं크 마다 독립적인 동작을 수행할 수 있는 디코더를 갖는 플래쉬 메모리 장치{Flash memory device having decoder to reduce chip area and to implement independent operation of each bank}

【도면의 간단한 설명】

도 1은 종래의 로컬 디코더를 포함하는 플래쉬 메모리 장치를 나타내는 도면이다.

도 2는 도 1의 로컬 디코더의 구체적인 회로도를 나타내는 도면이다.

도 3은 본 발명의 일실시예에 따른 플래쉬 메모리 장치를 나타내는 도면이다.

도 4는 도 3의 글로벌 디코더를 나타내는 도면이다.

도 5는 도 3의 로컬 디코더의 일실시예를 나타내는 도면이다.

도 6은 도 3의 로컬 디코더의 다른 실시예를 나타내는 도면이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <7> 본 발명은 반도체 메모리 장치에 관한 것으로, 특히 레이아웃 면적을 줄이고 बैं크 마다 독립된 동작을 수행하는 플래쉬 메모리 장치를 제공하는 데 있다.
- <8> 일반적으로, 플래쉬 메모리 장치를 포함하여, 반도체 메모리 장치는 어드레스 신호들을 조합하여 메모리 셀들을 어드레싱한다. 메모리 셀들의 워드라인들은 로우 디코더를 통해 어드레싱되고 비트라인들은 칼럼 어드레스를 통해 어드레싱된다. 로우 디코더는

메모리 셀 어레이 블록의 구조에 따라 달리 명명될 수 있는 데, 뱅크를 이루는 메모리 블록들의 최소 블록마다 로컬 디코더를 두기도 한다.

<9> 도 1은 종래의 로컬 디코더를 포함하는 플래쉬 메모리 장치를 나타내는 도면이다. 이를 참조하면, 플래쉬 메모리 장치(100)는 다수개의 뱅크들(BANK0, BANK1, ..., BANKn)로 구성된다. 뱅크들(BANK0, BANK1, ..., BANKn)은 로우 방향으로 다수개의 매트릭스들(MAT0, MAT1, ..., MATm)로 나누어지고, 뱅크(BANK0, BANK1, ..., BANKn)와 매트릭스(MAT0, MAT1, ..., MATm)가 교차되는 곳에 섹터라고 불리는 메모리 블록이 존재한다. 각 섹터들은 로컬 디코더들(LDEC)에 연결되어 섹터 내 워드라인이 선택된다. 로컬 디코더(LDEC)는 구체적으로 도 2에 도시되어 있다.

<10> 도 2를 참조하면, 로컬 디코더(LDEC, 200)는 코딩부(210), 드라이버부(220), 그리고 리셋부(230)를 포함하고, 전원 전압 레벨의 제1 전압(Vpx)과 접지 전압 레벨의 제2 전압(Vex)으로 구동된다. 코딩부(210)는 디코더 인에이블 신호(Vpgate)와 섹터 선택 신호(SS)에 인에이블되고 디코딩 신호들(Pi, Qi, Ri)에 응답하여 워드라인 인에이블 신호(WL_DRV)를 발생한다. 디코딩 신호들(Pi, Qi, Ri)은 소정의 어드레스 신호들의 조합에 의해 발생하는 신호들로서 신호 조합의 복잡함을 줄이기 위해 임의로 나누어진 신호들이다. 드라이버부(220)는 워드라인 인에이블 신호(WL_DRV)에 응답하여 선택적으로 인에이블된 워드라인 구동 신호(PWLi<0>, PWLi<1>, ..., PWLi<7>)를 워드라인(WLi<0>, WLi<1>, ..., WLi<7>)으로 전달한다. 리셋부(230)는 반전된 워드라인 구동 신호(/PWLi<0>, /PWLi<1>, ..., /PWLi<7>)에 응답하여 활성화되지 않는 워드라인(WLi<0>, WLi<1>, ..., WLi<7>)을 접지 전압으로 리셋시킨다.

- <11> 로컬 디코더(DEC)에 의해 제1 워드라인(WLi<0>)이 인에이블되는 예를 살펴보면 다음과 같다. 먼저, 디코더 인에이블 신호(Vpgate)가 하이레벨로 활성화되고 섹터 선택 신호(SS)가 하이레벨로 활성화된 상태에서 디코딩 신호들(Pi, Qi, Ri)이 하이레벨로 입력되면 워드라인 인에이블 신호(WL_DRV)는 로우레벨이 된다. 이 후, 제1 워드라인 구동 신호(PWLi<0>)가 승압 전압 레벨로 들어오면 제1 워드라인(WLi<0>)은 하이레벨로 인에이블된다. 이 때, 제2 내지 제8 워드라인 구동 신호들(PWLi<1>, ... , PWLi<7>)은 로우레벨이고 반전된 제2 내지 제8 워드라인 구동 신호(/PWLi<1>, ... , /PWLi<7>)는 하이레벨이 되어 리셋부(230)에 의해 제2 내지 제8 워드라인(WLi<1>, ... , WLi<7>)은 접지 전압의 제2 전압(Vex)으로 리셋된다.
- <12> 그런데, 이러한 로컬 디코더(200)는 도 1에서 보여지는 것처럼 각 섹터들에 각각 연결된다. 로컬 디코더(DEC) 내 코딩부(210)는 디코딩 신호들(Pi, Qi, Ri)의 조합에 의해 그 차지하는 면적이 상당하다. 이에 따라 레이아웃상 로컬 디코더(DEC)의 면적이 플래쉬 메모리 장치(100)의 상당한 부분을 차지하게 된다. 이는 플래쉬 메모리 장치(100)가 대용량화될수록 칩 면적이 커지게 되는 문제점이 된다.
- <13> 한편, 플래쉬 메모리 장치는 그 내장되는 시스템의 성능에 맞추어 다수개의 뱅크들(BANK0, BANK1, ... , BANKn) 각각이 독립적으로 동작하도록 요구된다.
- <14> 따라서, 레이아웃 면적을 줄일 수 있으며 뱅크 마다 독립적인 동작을 수행할 수 있는 디코더를 갖는 플래쉬 메모리 장치가 요구된다.

【발명이 이루고자 하는 기술적 과제】

- <15> 본 발명의 목적은 레이아웃 면적을 줄이고 뱅크 마다 독립적인 동작을 수행할 수 있는 디코더를 갖는 플레쉬 메모리 장치를 제공하는 데 있다.

【발명의 구성 및 작용】

- <16> 상기 목적을 달성하기 위하여, 본 발명의 플레쉬 메모리 장치는 다수개의 뱅크들과 글로벌 디코더들, 그리고 로컬 디코더들을 포함한다. 뱅크들은 행들 및 열들로 배열되는 복수개의 메모리 셀들을 갖는다. 글로벌 디코더들은 뱅크들의 로우 배열 방향으로 나누어진 매트릭스 블록들 마다에 위치하고, 독출 어드레스 신호들과 기입 어드레스 신호들에 각각 응답하여 글로벌 독출 신호와 글로벌 기입 신호를 발생한다. 로컬 디코더는 매트릭스 블록들 내 섹터들 마다에 위치하고, 독출 섹터 선택 신호에 응답하여 글로벌 독출 신호를, 그리고 기입 섹터 선택 신호에 응답하여 글로벌 기입 신호를 워드라인 인에이블 신호로 전달하고, 워드라인 인에이블 신호에 응답하여 워드라인 구동 신호를 워드라인으로 전달한다.
- <17> 글로벌 디코더는 독출 어드레스 신호들을 입력하여 글로벌 독출 신호를 출력하는 제1 낸드 게이트와, 기입 어드레스 신호들을 입력하여 글로벌 기입 신호를 출력하는 제2 낸드 게이트로 구성된다.
- <18> 로컬 디코더는 코딩부와 드라이버부, 그리고 리셋부를 포함한다. 코딩부는 디코더 인에이블 신호와 독출 섹터 선택 신호에 응답하여 글로벌 독출 신호를, 그리고 기입 섹터 선택 신호에 응답하여 글로벌 기입 신호를 워드라인 인에이블 신호로 전달한다. 드라

이버부는 워드라인 인에이블 신호에 응답하여 워드라인 구동 신호를 워드라인으로 전달한다. 리셋부는 워드라인 구동 신호의 반전 신호에 응답하여 워드라인을 리셋시킨다.

<19> 구체적으로, 일예의 코딩부는 전원 전압이 그 소스에, 디코더 인에이블 신호가 그 게이트에, 그리고 워드라인 인에이블 신호에 그 드레인이 연결되는 제1 트랜지스터와, 워드라인 인에이블 신호가 그 드레인에 연결되고 섹터 독출 신호가 그 게이트에, 그리고 글로벌 독출 신호가 그 소스에 연결되는 제2 트랜지스터와, 그리고 워드라인 인에이블 신호가 그 드레인에 연결되고 섹터 기입 신호가 그 게이트에, 그리고 글로벌 기입 신호가 그 소스에 연결되는 제3 트랜지스터를 포함한다.

<20> 다른 예의 코딩부는 전원 전압이 그 소스에, 디코더 인에이블 신호가 그 게이트에, 그리고 워드라인 인에이블 신호에 그 드레인이 연결되는 제1 트랜지스터와, 워드라인 인에이블 신호가 그 드레인에, 섹터 독출 신호가 그 게이트에 연결되는 제2 트랜지스터와, 제2 트랜지스터의 드레인과 접지 전압 사이에 위치하고 글로벌 독출 신호에 게이팅되는 제3 트랜지스터와, 워드라인 인에이블 신호가 그 드레인에, 그리고 섹터 기입 신호가 그 게이트에 연결되는 제4 트랜지스터와, 그리고 제3 트랜지스터의 드레인과 접지 전압 사이에, 글로벌 기입 신호에 게이팅되는 제5 트랜지스터를 포함한다.

<21> 따라서, 본 발명의 플래쉬 메모리 장치는 어드레스 코딩 부분을 글로벌 디코더에 두고 하나의 매트릭스 블록마다 하나의 글로벌 디코더를 두어 레이아웃 면적을 줄인다. 그리고 글로벌 디코더의 출력인 글로벌 독출 신호 및 글로벌 기입 신호와 로컬 디코더의 섹터 독출 신호 및 섹터 기입 신호에 응답하여 선택되는 섹터의 워드라인을 인에이블시키기 때문에, 선택된 섹터가 속하는 각 뱅크마다 독립적으로 독출 동작과 기입 동작이 이루어진다.

<22> 도 3은 본 발명의 일실시예에 따른 플래쉬 메모리 장치를 나타내는 도면이다. 이를 참조하면, 플래쉬 메모리 장치(300)는 다수개의 뱅크들(BANK0, BANK1, ..., BANKn)과 글로벌 디코더(GDEC)들, 그리고 로컬 디코더(LDEC)들을 포함한다. 뱅크들(BANK0, BANK1, ..., BANKn)은 행(row)방향으로 다수개의 매트릭스 블록들(MAT0, MAT1, ..., MATm)로 나누어지고, 매트릭스 블록들(MAT0, MAT1, ..., MATm)은 열(column)방향으로 섹터(secter)들로 나누어진다. 글로벌 디코더(GDEC)들은 매트릭스 블록들(MAT0, MAT1, ..., MATm)마다 배열되고, 독출 어드레스 신호들(PQRi_R)과 기입 어드레스 신호들(PQRi_W)에 각각 응답하여 글로벌 독출 신호(GWLi_R, $i=0,1,\dots,m$)와 글로벌 기입 신호(GWLi_W, $i=0,1,\dots,m$)를 발생한다. 로컬 디코더(LDEC)들은 섹터들마다 배열되고, 독출 섹터 선택 신호(SS_R)에 응답하여 글로벌 독출 신호(GWL_R)를 워드라인 인에이블 신호(WL_DRV)로 전달하고 기입 섹터 선택 신호(SS_W)에 응답하여 글로벌 기입 신호(GWL_W)를 워드라인 인에이블 신호(WL_DRV)로 전달한다. 그리고, 로컬 디코더(LDEC)는 워드라인 인에이블 신호(WL_DRV)에 응답하여 워드라인 구동 신호(PWLi<0>, PWLi<1>, ..., PWLi<7>)를 워드라인(WLi<0>, WLi<1>, ..., WLi<7>)으로 전달한다.

<23> 글로벌 디코더(GDEC)는 구체적으로 도 4에 도시되어 있다. 도 4를 참조하면, 글로벌 디코더(400)는 제1 코딩부(410)와 제2 코딩부(420)를 포함한다. 제1 코딩부(410)는 독출 어드레스 신호들(Pi_R, Qi_R, Ri_R)을 입력하여 글로벌 독출 신호(GWL_R)를 출력하는 제1 낸드 게이트로 구성된다. 제2 코딩부(420)는 기입 어드레스 신호들(Pi_W, Qi_W, Ri_W)을 입력하여 글로벌 기입 신호(GWL_W)를 출력하는 제2 낸드 게이트로 구성된다. 독출 어드레스 신호들(Pi_R, Qi_R, Ri_R)은 독출하고자하는 메모리 셀의 어드레스 신호를 의미하고, 기입 어드레스 신호들(Pi_W, Qi_W, Ri_W)은 기입하고자하는 메모리 셀의 어드

레스 신호를 의미한다. 글로벌 독출 신호(GWL_R)와 글로벌 기입 신호(GWL_W)는 선택되는 하나의 매트릭스 블록(MAT0, MAT1, ..., MATm)으로의 독출 동작과 기입 동작을 지시한다.

<24> 본 발명의 일실시예에 따른 로컬 디코더(LDEC)가 도 5에 도시되어 있다. 도 5를 참조하면, 로컬 디코더(500)는 코딩부(510), 드라이버부(220), 그리고 리셋부(230)를 포함한다. 코딩부(510)는 제1 내지 제3 트랜지스터들(511, 512, 513)을 포함한다. 제1 트랜지스터(511)는 전원 전압의 제1 전압(V_{px})이 그 소스에, 디코더 인에이블 신호(V_{pgate})가 그 게이트에, 그리고 워드라인 인에이블 신호(WL_DRV)가 그 드레인에 연결된다. 제2 트랜지스터(512)는 워드라인 인에이블 신호(WL_DRV)가 그 드레인에, 섹터 독출 신호(SS_R)가 그 게이트에, 그리고 글로벌 독출 신호(GWL_R)가 그 소스에 연결된다. 제3 트랜지스터(513)는 워드라인 인에이블 신호(WL_DRV)가 그 드레인에, 섹터 기입 신호(SS_W)가 그 게이트에, 그리고 글로벌 기입 신호(GWL_W)가 그 소스에 연결된다. 드라이버부(220)와 리셋부(230)은 앞서 설명한 도 2의 드라이버부(220)와 리셋부(230)와 동일하다. 설명의 중복을 피하기 위하여 구체적인 설명은 생략된다.

<25> 로컬 디코더(500)의 동작은 다음과 같다. 첫번째로, 독출 동작을 살펴보면, 디코더 인에이블 신호(V_{pgate})가 하이레벨일 때 하이레벨의 독출 섹터 선택 신호(SS_R)에 응답하여 로우레벨의 글로벌 독출 신호(GWL_R)를 워드라인 인에이블 신호(WL_DRV)로 전달한다. 로우레벨의 워드라인 인에이블 신호(WL_DRV)는 드라이버부(220) 내 피모스 트랜지스터들을 턴온시킨다. 이 때, 제1 워드라인 구동 신호(PWL_{i<0>})가 하이레벨로 활성화된 상태라면 제1 워드라인(WL_{i<0>})이 하이레벨로 인에이블된다. 그리하여, 제1 워드라인(WL_{i<0>})에 연결된 메모리 셀들 중 선택되는 비트라인(미도시)과 연결되는 메모리 셀 데이터의 독출 동작이 이루어진다.

<26> 두번째로, 기입 동작을 살펴보면, 디코더 인에이블 신호(Vpgate)가 하이레벨일 때 하이레벨의 기입 섹터 선택 신호(SS_W)에 응답하여 로우레벨의 글로벌 기입 신호(GWL_W)를 워드라인 인에이블 신호(WL_DRV)로 전달한다. 로우레벨의 워드라인 인에이블 신호(WL_DRV)는 드라이버부(220) 내 피모스 트랜지스터들을 턴온시킨다. 그리고, 제1 워드라인 구동 신호(PWLi<0>)가 하이레벨로 활성화된 상태라면 제1 워드라인(WLi<0>)이 하이레벨로 인에이블되어 제1 워드라인(WLi<0>)에 연결된 메모리 셀들 중 선택되는 비트라인(미도시)과 연결되는 메모리 셀로의 데이터 기입 동작이 이루어진다.

<27> 도 6은 본 발명의 다른 실시예에 따른 로컬 디코더(LDEC)를 나타내는 도면이다. 도 6의 로컬 디코더(600)는 도 5의 로컬 디코더(500)와 비교하여 코딩부(610)의 구성이 다르다. 구체적으로, 코딩부(610)는 제1 내지 제5 트랜지스터들(611, 612, 613, 614, 615)을 포함한다. 제1 트랜지스터(611)는 전원 전압의 제1 전압(Vpx)이 그 소스에, 디코더 인에이블 신호(Vpgate)가 그 게이트에, 그리고 워드라인 인에이블 신호(WL_DRV)가 그 드레인에 연결된다. 제2 트랜지스터(612)는 워드라인 인에이블 신호(WL_DRV)가 그 드레인에, 섹터 독출 신호(SS_R)가 그 게이트에 연결된다. 제3 트랜지스터(613)는 제2 트랜지스터(612)의 소스에 그 드레인이, 글로벌 독출 신호(GWL_R)가 그 게이트에, 그리고 접지 전압(VSS)이 그 소스에 연결된다. 제4 트랜지스터(614)는 워드라인 인에이블 신호(WL_DRV)가 그 드레인에, 그리고 섹터 기입 신호(SS_W)가 그 게이트에 연결된다. 제5 트랜지스터(615)는 제4 트랜지스터(614)의 소스에 그 드레인이, 글로벌 기입 신호(GWL_W)가 그 게이트에, 그리고 접지 전압(VSS)이 그 소스에 연결된다.

<28> 로컬 디코더(600)의 동작은 도 5의 로컬 디코더(500)와 거의 동일한 데, 글로벌 독출 신호(GWL_R)와 글로벌 기입 신호(GWL_W)가 활성화되면 하이레벨로 설정된다는 점에

서 차이가 있다. 즉, 독출 동작시. 디코더 인에이블 신호(Vpgate)가 하이레벨일 때 하이레벨의 독출 섹터 선택 신호(SS_R)와 하이레벨의 글로벌 독출 신호(GWL_R)에 응답하여 워드라인 인에이블 신호(WL_DRV)가 로우레벨로 활성화된다. 이 후, 선택되는 하나의 워드라인 구동(PWLi<0>, PWLi<1>, ... , PWLi<7>)에 따라 하나의 워드라인(WLi<0>, WLi<1>, ... , WLi<7>)이 인에이블되어 선택된 메모리 셀의 독출 동작이 이루어진다. 그리고, 기입 동작시, 디코더 인에이블 신호(Vpgate)가 하이레벨이고 하이레벨의 기입 섹터 선택 신호(SS_W)와 하이레벨의 글로벌 기입 신호(GWL_W)에 응답하여 워드라인 인에이블 신호(WL_DRV)가 로우레벨로 활성화된다. 이 후, 선택되는 하나의 워드라인 구동(PWLi<0>, PWLi<1>, ... , PWLi<7>)에 따라 하나의 워드라인(WLi<0>, WLi<1>, ... , WLi<7>)이 인에이블되어 선택된 메모리 셀로의 기입 동작이 이루어진다.

<29> 따라서, 본 발명의 플래쉬 메모리 장치는 워드라인 어드레싱을 위한 어드레스 신호들의 조합상 반복적이고 면적을 많이 차지하는 어드레스 코딩 부분을 글로벌 디코더에 두고 하나의 매트릭스 블록마다 하나의 글로벌 디코더(GDEC)를 두어 레이아웃 면적을 줄인다. 글로벌 디코더(GDEC)는 어드레스 신호들을 독출 어드레스 신호들(Pi_R, Qi_R, Ri_R)과 기입 어드레스 신호들(Pi_W, Qi_W, Ri_W)로 구분하고 로컬 디코더(LDEC)는 섹터 독출 신호(SS_R) 및 섹터 기입 신호(SS_W)와 글로벌 디코더(GDEC)의 출력인 글로벌 독출 신호(GWL_R) 및 글로벌 기입 신호(GWL_W)에 응답하여 워드라인을 인에이블시키기 때문에, 선택된 섹터가 속하는 각 बैं크 마다 독립적으로 독출 동작과 기입 동작이 이루어진다.

<30> 이상에서, 본 발명은 실시예들을 들어 기술하였지만 이는 예시적인 것에 불과하며 본 발명의 기술적 사상 및 범위를 제한하거나 한정하는 것은 아니다. 그러므로, 본 발명

의 기술적 사상 및 범위를 벗어나지 않는 한도 내에서 다양한 변화 및 변경이 가능함은 물론이다.

【발명의 효과】

<31> 상술한 본 발명의 플래쉬 메모리 장치에 의하면, 어드레스 코딩 부분을 글로벌 디코더에 두고 하나의 매트릭스 블록마다 하나의 글로벌 디코더를 두어 레이아웃 면적을 줄인다. 그리고 글로벌 디코더의 출력인 글로벌 독출 신호 및 글로벌 기입 신호와 로컬 디코더의 섹터 독출 신호 및 섹터 기입 신호에 응답하여 선택되는 섹터의 워드라인을 인에이블시키기 때문에, 선택된 섹터가 속하는 각 뱅크마다 독립적으로 독출 동작과 기입 동작이 이루어진다.

【특허청구범위】**【청구항 1】**

행들 및 열들로 배열되는 복수개의 메모리 셀들을 갖는 다수개의 뱅크들;

상기 뱅크들의 로우 배열 방향으로 나누어진 매트릭스 블록들 마다에, 독출 어드레스 신호들과 기입 어드레스 신호들에 각각 응답하여 글로벌 독출 신호와 글로벌 기입 신호를 발생하는 글로벌 디코더들; 및

상기 매트릭스 블록들 내 섹터들 마다에, 독출 섹터 선택 신호에 응답하여 상기 글로벌 독출 신호를, 그리고 기입 섹터 선택 신호에 응답하여 상기 글로벌 기입 신호를 워드라인 인에이블 신호로 전달하고, 상기 워드라인 인에이블 신호에 응답하여 워드라인 구동 신호를 워드라인으로 전달하는 로컬 디코더를 구비하는 것을 특징으로 하는 플래쉬 메모리 장치.

【청구항 2】

제1항에 있어서, 상기 글로벌 디코더는

상기 독출 어드레스 신호들을 입력하여 상기 글로벌 독출 신호를 출력하는 제1 낸드 게이트; 및

상기 기입 어드레스 신호들을 입력하여 상기 글로벌 기입 신호를 출력하는 제2 낸드 게이트를 구비하는 것을 특징으로 하는 플래쉬 메모리 장치.

【청구항 3】

제1항에 있어서, 상기 로컬 디코더는

디코더 인에이블 신호와 독출 섹터 선택 신호에 응답하여 상기 글로벌 독출 신호를, 그리고 기입 섹터 선택 신호에 응답하여 상기 글로벌 기입 신호를 워드라인 인에이블 신호로 전달하는 코딩부;

상기 워드라인 인에이블 신호에 응답하여 워드라인 구동 신호를 워드라인으로 전달하는 드라이버부; 및

상기 워드라인 구동 신호의 반전 신호에 응답하여 상기 워드라인을 리셋시키는 리셋부를 구비하는 것을 특징으로 하는 플래쉬 메모리 장치.

【청구항 4】

제3항에 있어서, 상기 코딩부는

전원 전압이 그 소스에 연결되고 상기 디코더 인에이블 신호가 그 게이트에, 그리고 상기 워드라인 인에이블 신호에 그 드레인이 연결되는 제1 트랜지스터;

상기 워드라인 인에이블 신호가 그 드레인에 연결되고 상기 섹터 독출 신호가 그 게이트에, 그리고 상기 글로벌 독출 신호가 그 소스에 연결되는 제2 트랜지스터; 및

상기 워드라인 인에이블 신호가 그 드레인에 연결되고 상기 섹터 기입 신호가 그 게이트에, 그리고 상기 글로벌 기입 신호가 그 소스에 연결되는 제3 트랜지스터를 구비하는 것을 특징으로 하는 플래쉬 메모리 장치.

【청구항 5】

제3항에 있어서, 상기 코딩부는

전원 전압이 그 소스에 연결되고 상기 디코더 인에이블 신호가 그 게이트에, 그리고 상기 워드라인 인에이블 신호에 그 드레인이 연결되는 제1 트랜지스터;

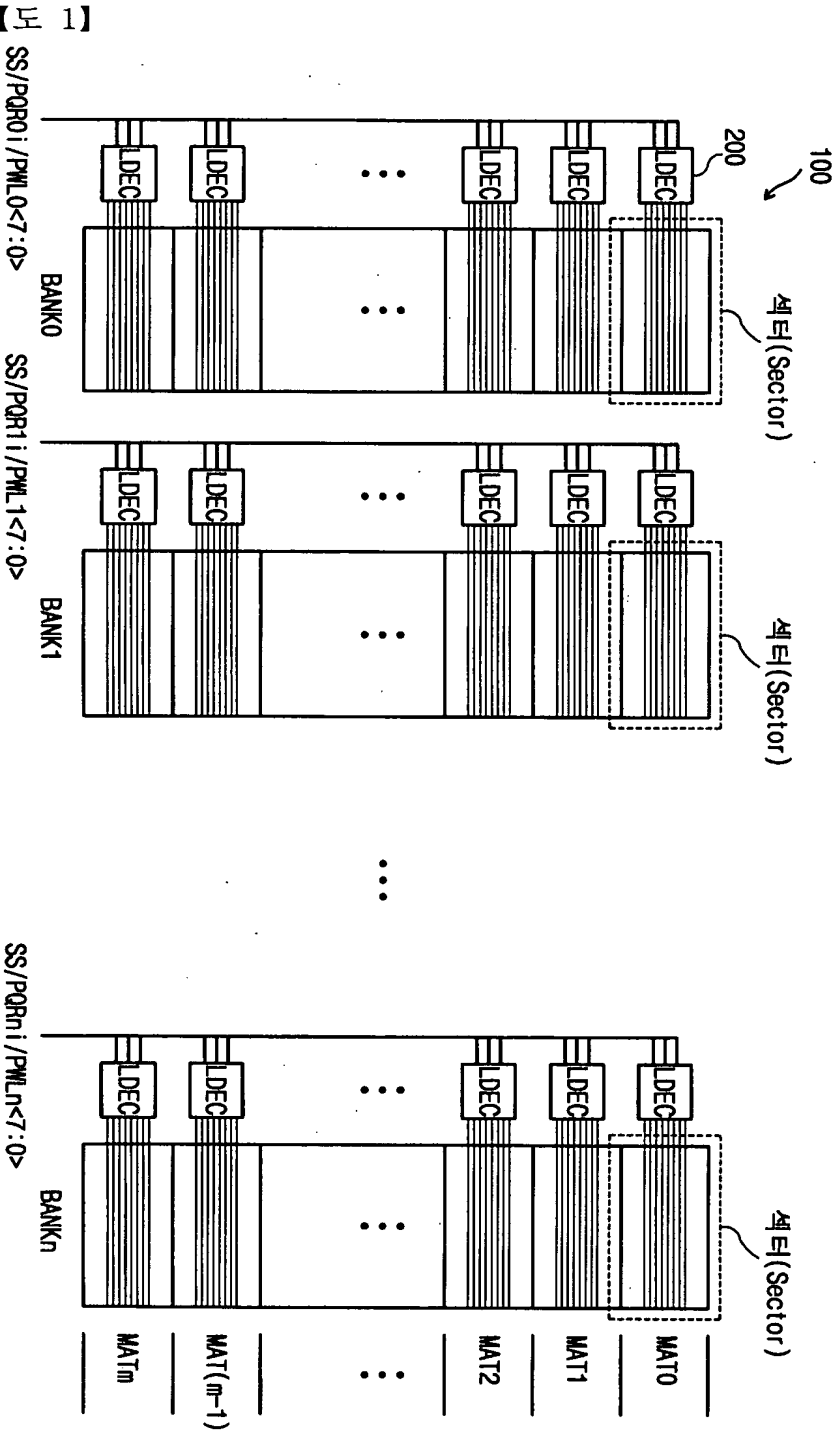
상기 워드라인 인에이블 신호가 그 드레인에 연결되고 상기 섹터 독출 신호가 그 게이트에 연결되는 제2 트랜지스터;

상기 제2 트랜지스터의 드레인과 접지 전압 사이에, 상기 글로벌 독출 신호에 게이팅되는 제3 트랜지스터;

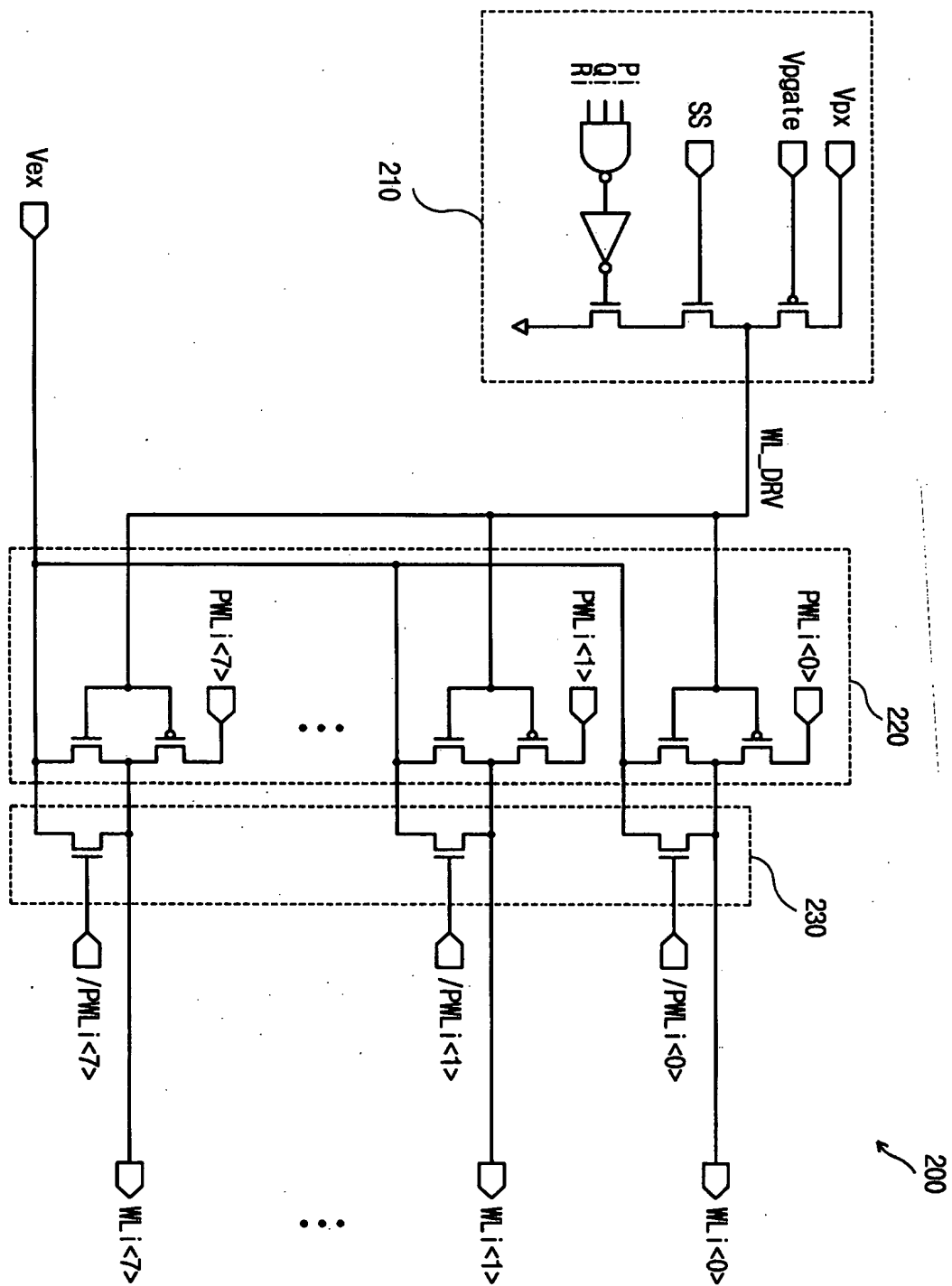
상기 워드라인 인에이블 신호가 그 드레인에 연결되고 상기 섹터 기입 신호가 그 게이트에 연결되는 제4 트랜지스터; 및

상기 제3 트랜지스터의 드레인과 상기 접지 전압 사이에, 상기 글로벌 기입 신호에 게이팅되는 제5 트랜지스터를 구비하는 것을 특징으로 하는 플래쉬 메모리 장치.

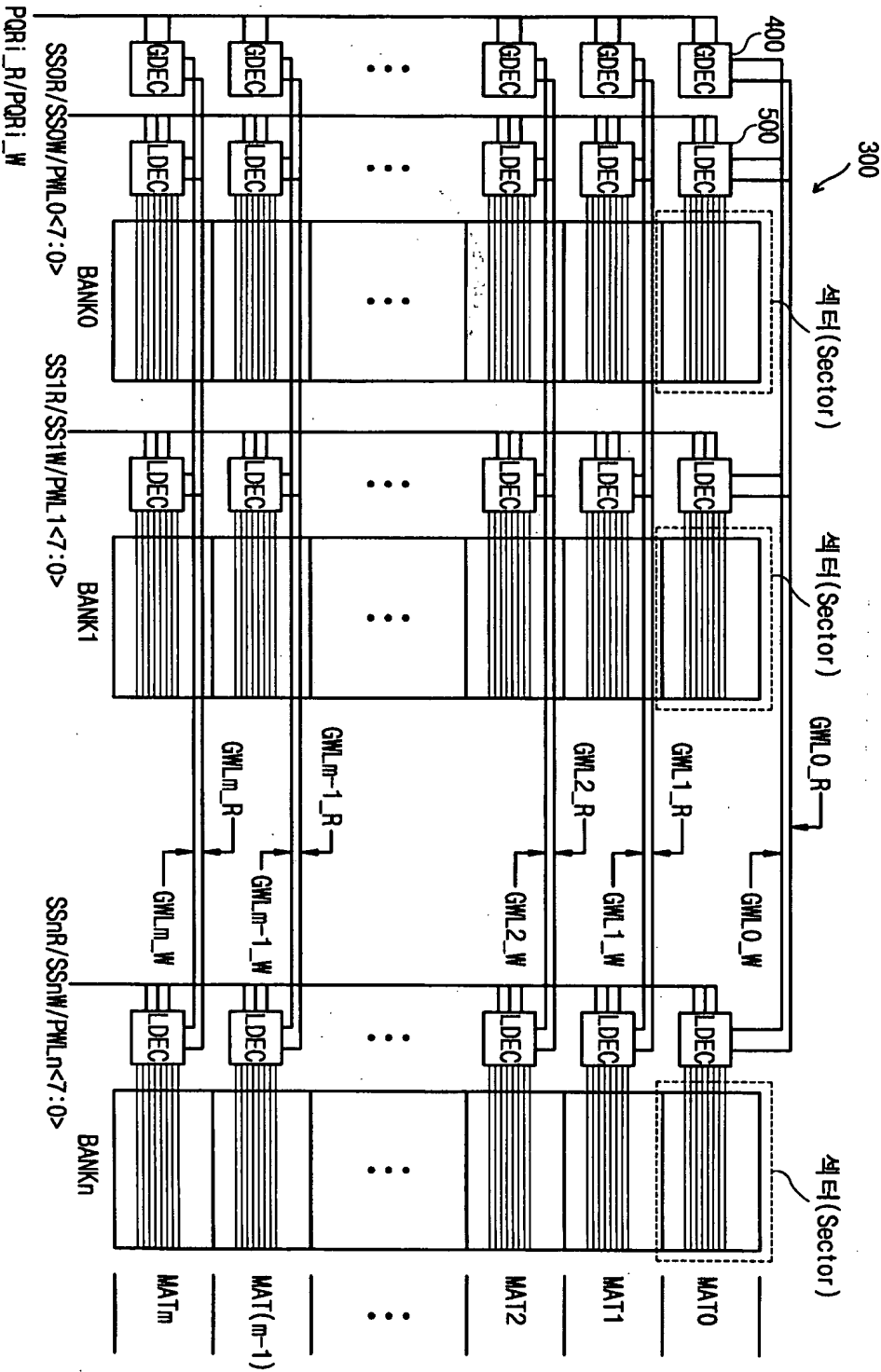
【도면】



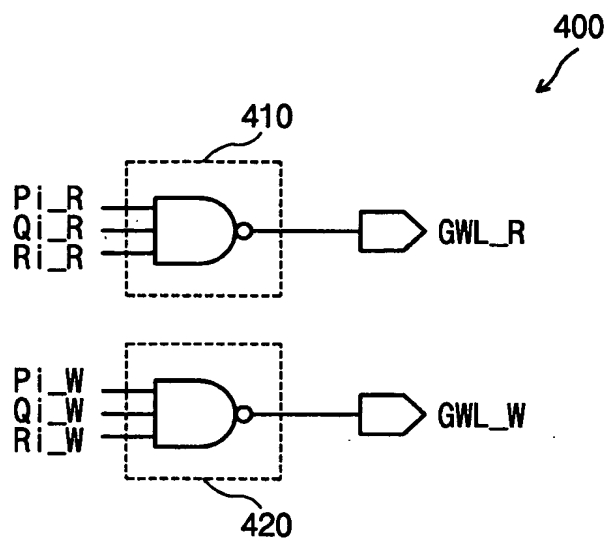
【도 2】



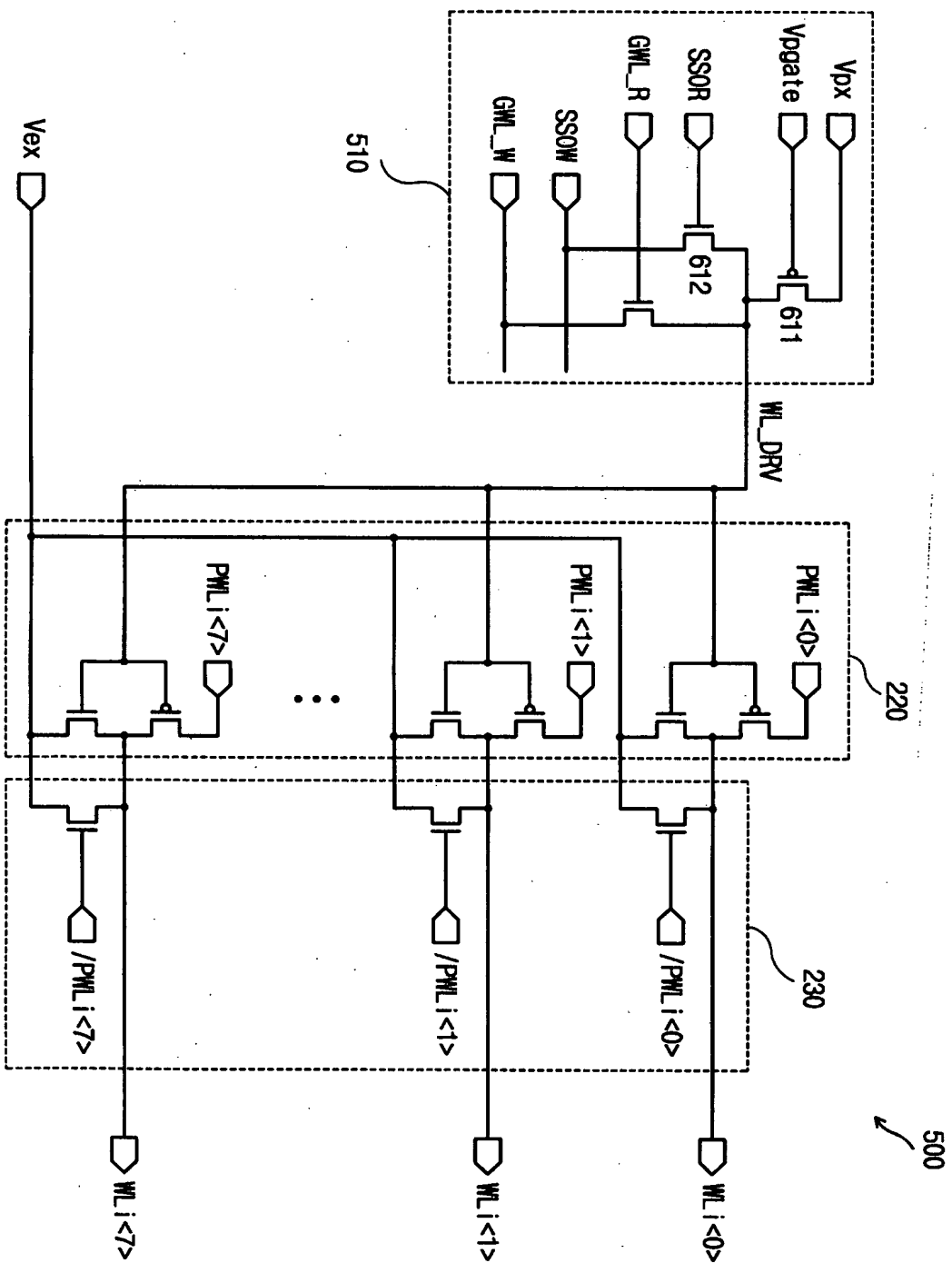
【 3】



【도 4】



【도 5】



【도 6】

